適応的オブジェクトによる並列処理のボトルネック解消

[1]江口 重行　[2]可児 亜祐美　[3]八杉 昌宏　[4]瀧 和男

概要

本論文では，並行アクセスに適応可能なオブジェクトにより，木構造のルートなどにおけるボトルネックを解消する手法を提案する．従来の並列処理系はオブジェクトの振舞いを静的に定めていたため，一定の処理の後変化しなくなったオブジェクトの排他制御を緩和するようなことは行なえなかった．提案する実行時メソッド置換は，読み出し専用メソッドの実行時増加，オブジェクトの不変部分の実行時増加によって，排他制御や遠隔通信を削減するものである．提案方式を共有メモリ型および分散メモリ型並列計算機に実装，評価を行い，その効果を確認した．

Eliminating Bottlenecks on Parallel Systems using Adaptive Objects

[1]Shigeyuki EGUCHI　[2]Ayumi KANI　[3]Masahiro YASUGI　[4]Kazuo TAKI

Abstract

This paper proposes a technique to eliminate bottlenecks (e.g., around a root of tree structure) by adaptive objects for conccurent accesses. Since the conventional parallel processing systems fix objects' behaivors, they cannot relax the mutual exclution for objects which have finished their initialization and become immutable. The proposed dynamic method replacement eliminates the frequency of mutual exclusion and remote message passing by dynamically increasing the number of read only methods and the immutable part of objects. This paper also presents the implementation and the results of performance measurements on both shared memory and distibuted memory parallel architectures, which indicate the effectiveness of our approach.

1　はじめに

並列処理では，しばしばシステムの一部でのボトルネックによる全体の性能低下が問題になる．このようなボトルネックの多くは，アクセスが集中するオブジェクトにおける状態の一貫性保持のための排他制御によって発生する．これに対して，オブジェクトの並行読み出しを許すなどの排他制御規則の緩和，オブジェクトの不変部のみを利用するメソッドの排他制御なしでの実行，不変部分の複製といった手段により，排他制御が必要となる区間，回数を削減できる．

しかし，現在の並列処理系では，このような技法は静的にしか適用されていない．このため，木構造やニューラルネットワークなど，部品となるオブジェクトの状態が構築フェーズと利用フェーズで変化する場合などに，それぞれの状態に応じた排他制御規則を用意するといったことは行なえない．

このような問題に対処するため，本論文では並行アクセスに関して適応可能なオブジェクトと，その記述手段として実行時メソッド置換を提案する．これにより，変数の読み出しのみを行なうメソッドの数及びオブジェクトの不変部分を，実行時に増加させていくことが可能になる．実行時メソッド置換はオブジェクト指向におけるクラスの継承機構を拡張して実現可能である．本論文ではさらに，実行時にオブジェクトの不変部分のみを利用するようになったメソッドの（排他制御や遠隔通信の有無を含む）実行手順を切替えるのに十分な条件を，実行時メソッド置換によるメソッド状態遷移の情報などから静的に解析するアルゴリズムを示す．

以下に本論文の構成を示す．2節では，我々が開発中のオブジェクト指向並列言語 OPA [9] の排他制御モデルについて述べる．3節では，実行時メソッド置換について述べる．4節では，排他制御不要メソッド (free メソッドと呼ぶ) の検出方法を示す．5節では共有メモリ並列アーキテクチャ上の実装について，6節では分散メモリ並列アーキテクチャ上の実装について述べる．7節では実装した処理系の性能評価結果を示す．8節で関連研究について述べる．

[1]神戸大学大学院　自然科学研究科 The Graduate School of Science and Technology, Kobe University, email:eguchi@chagall.cs.kobe-u.ac.jp
[2]富士通 (株) Fujitu Limited
[3]京都大学大学院 情報学研究科 The Graduate School of Informatics, Kyoto University, email: yasugi@kuis.kyoto-u.ac.jp
[4]神戸大学工学部 情報知能工学科 Dept. of Computer and Systems Engineering, Faculty of Engineering, Kobe University, email:taki@seg.kobe-u.ac.jp